

10 / 526471

PCT/JP2004/002840

pc7-11184

(10695)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

03 MAR 2005

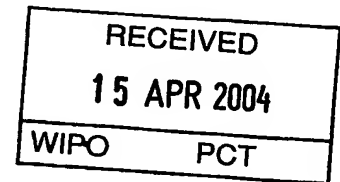
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月 7日

出 願 番 号
Application Number: 特願2003-061993
[ST. 10/C]: [JP2003-061993]

出 願 人
Applicant(s): 住友電気工業株式会社

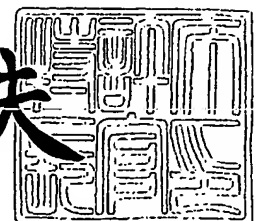


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 3月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3020656

【書類名】 特許願

【整理番号】 103I0028

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/06
H01L 27/00
H03K 19/02

【発明の名称】 電界放射型微小電子エミッタを用いた論理演算素子および論理演算回路

【請求項の数】 17

【発明者】

【住所又は居所】 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内

【氏名】 辰巳 夏生

【発明者】

【住所又は居所】 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内

【氏名】 西林 良樹

【発明者】

【住所又は居所】 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内

【氏名】 今井 貴浩

【発明者】

【住所又は居所】 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内

【氏名】 中原 恒雄

【特許出願人】

【識別番号】 000002130

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100116713

【弁理士】

【氏名又は名称】 酒井 正己

【選任した代理人】

【識別番号】 100094709

【弁理士】

【氏名又は名称】 加々美 紀雄

【選任した代理人】

【識別番号】 100117145

【弁理士】

【氏名又は名称】 小松 純

【選任した代理人】

【識別番号】 100078994

【弁理士】

【氏名又は名称】 小松 秀岳

【手数料の表示】

【予納台帳番号】 165251

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0107279

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界放射型微小電子エミッタを用いた論理演算素子および論理演算回路

【特許請求の範囲】

【請求項 1】 2つ以上の電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに並列に接続し、前記エミッタに対応する2つ以上のアノードを受動素子または能動素子を介して高電位電源に並列に接続し、2つ以上のアノードが実質的に同電位であり、前記エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させることを特徴とするNOR素子。

【請求項 2】 前記2つ以上の電界放射型微小電子エミッタのそれぞれに対応するアノード電極が単一の平面で構成されることを特徴とする請求項1記載のNOR素子。

【請求項 3】 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとが直列接続されており、第1エミッタと第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させることを特徴とするNAND素子。

【請求項 4】 第1の電界放射型微小電子エミッタのカソードと第2の電界放射型微小電子エミッタのカソードとが同一平面にあり、該第1のエミッタと該第2のエミッタとの間に垂直に形成された柱状電極によって該第1のエミッタのアノードと該第2のエミッタのカソードとが直列接続されることを特徴とする請求項3に記載のNAND素子。

【請求項 5】 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとを一体として直列接続したことを特徴とする請求項3に記載のNAND素子。

【請求項 6】 前記NAND素子の前記第1の電界放射型微小電子エミッタのアノードとゲート電極を素子平面に投影したときに重なり面積がないことを特

徴とする請求項 3～5 のいずれかに記載の NAND 素子。

【請求項 7】 請求項 1 もしくは 2 に記載の NOR 素子および／または請求項 3～6 のいずれかに記載の NAND 素子を論理演算素子として含む論理演算回路。

【請求項 8】 電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに接続し、アノードを受動素子または能動素子を介して高電位電源に接続し、ゲートに入力する電位で出力のアノード電位を変化させる NOT 素子を論理演算素子として含むことを特徴とする請求項 7 に記載の論理演算回路。

【請求項 9】 NOT 素子と NOR 素子とからなり、それらのエミッタのカソードを同電位にして論理演算を接続することを特徴とする請求項 7 または 8 に記載の論理演算回路。

【請求項 10】 各素子の出力のアノードを受動素子を介するか、または直接に別の素子のゲートに接続させて論理演算の接続していることを特徴とする請求項 7～9 のいずれかに記載の論理演算回路。

【請求項 11】 隣り合う二つの電界放射型微小電子エミッタが、一方のエミッタのアノードと他のエミッタのゲートとが同一平面となる構造、一方のエミッタのアノードと他のエミッタのカソードとが同一平面となる構造または前記両者の構造を併せ持つ構造を有することを特徴とする請求項 7～10 のいずれかに記載の論理演算回路。

【請求項 12】 カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行方向に電子を放出することを特徴とする請求項 7～11 のいずれかに記載の論理演算回路。

【請求項 13】 前記素子の基板としてノンドープの半導体基板を用い、各エミッタの突起部分もしくは周辺にのみ導電性のドーピング領域を作って各エミッタを電氣的に分離していることを特徴とする請求項 7～12 のいずれかに記載の論理演算回路。

【請求項 14】 前記素子の絶縁層が 4 より小さい比誘電率を持つ材料からなることを特徴とする請求項 7～13 のいずれかに記載の論理演算回路。

【請求項 15】 前記素子のカソードがダイヤモンド、もしくはダイヤモンド

ド薄膜を被覆した導電性材料であることを特徴とする請求項 7～14 のいずれかに記載の論理演算回路。

【請求項 16】 前記素子のカソードがカーボンナノチューブ、もしくはカーボンナノチューブを被覆した導電性材料であることを特徴とする請求項 7～15 のいずれかに記載の論理演算回路。

【請求項 17】 前記素子のカソードが BN、AlN もしくは GaN、もしくはそれらの薄膜を被覆した導電性材料であることを特徴とする請求項 7～16 のいずれかに記載の論理演算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子ビームを放出する冷陰極素子を用いた論理演算素子およびこれを用いた論理演算回路に関するものである。

【0002】

【従来の技術】

従来、論理演算には Si 基板を用いた MOSFET の集積回路が用いられている。これらは固体デバイスであるためハンドリングしやすく、その動作周波数は微細化技術の進展により GHz に達している。また NOT、NOR、NAND などの論理演算素子およびそれらを結合して接続される論理演算回路は MOS デバイスを中心に想定して作られている。

【0003】

Si 基板を用いた MOSFET 以上の周波数で動作させる場合には GaAs 等の化合物半導体が使われたり、特定の高周波増幅には真空管が使われている。真空管を用いるのは、真空中における方が固体中におけるよりもキャリアの電子の移動度が早いことを利用している。

【0004】

真空管においては熱電子放出を利用するが多いが、低消費電流で大電流密度が得られることから Spindt 型の電界放射型冷陰極を用いる場合がある。その高周波動作は非特許文献 1 などに示されている。また、このような電界放射

型冷陰極を集積回路に用いる例は特許文献1などに示されている。

【0005】

【特許文献1】

特開平11-329263号公報

【非特許文献1】

Journal of Vacuum Science and Technology B, 14 (1996) 1986

【0006】

【発明が解決しようとする課題】

しかしながら、現在論理演算に広く用いられているSiなどの固体デバイスでは電子・ホール移動度に制限がある。リソグラフィーなど微細化技術の進展により高速化が進められているが、その動作周波数には限界がきている。

一方、高周波動作が可能な真空管はその集積度に問題がある。また、小面積内に多数の素子を有するSpindt型の微小冷陰極は大電流密度という特性があることから論理演算よりはマイクロ波管やディスプレイなどに用途が集中している。

【0007】

特許文献1記載の電界放射型冷陰極を集積回路に用いるものでは素子が平面構造であるため、素子構成には面積が必要となる。また電子放出素子で多段の演算を接続した場合の具体的な集積方法については特許文献1では触れられていない。

そこで本発明はこのような従来技術の問題点を克服するためになされたもので、その目的は高速で高集積が可能な論理演算素子および論理演算回路を提供することにある。

【0008】

【課題を解決するための手段】

本発明による論理演算素子および論理演算回路はつぎに記載するような発明の態様(1)～(17)からなる。

(1) 2つ以上の電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに並列に接続し、前記エミッタに対応する2つ以上のアノードを受動

素子または能動素子を介して高電位電源に並列に接続し、2つ以上のアノードが実質的に同電位であり、前記エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させることを特徴とするNOR素子。

(2) 前記2つ以上の電界放射型微小電子エミッタのそれぞれに対応するアノード電極が単一の平面で構成されることを特徴とする上記(1)記載のNOR素子。

(3) 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとが直列接続されており、第1エミッタと第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させることを特徴とするNAND素子。

【0009】

(4) 第1の電界放射型微小電子エミッタのカソードと第2の電界放射型微小電子エミッタのカソードとが同一平面にあり、該第1のエミッタと該第2のエミッタとの間に垂直に形成された柱状電極によって該第1のエミッタのアノードと該第2のエミッタのカソードとが直列接続されることを特徴とする上記(3)に記載のNAND素子。

(5) 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとを一体として直列接続したことを特徴とする上記(3)に記載のNAND素子。

(6) 前記NAND素子の前記第1の電界放射型微小電子エミッタのアノードとゲート電極を素子平面に投影したときに重なり面積がないことを特徴とする上記(3)～(5)のいずれかに記載のNAND素子。

【0010】

(7) 上記(1)もしくは(2)に記載のNOR素子および/または上記(3)～(6)のいずれかに記載のNAND素子を論理演算素子として含む論理演算回路。

(8) 電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに接続し、アノードを受動素子または能動素子を介して高電位電源に接続し、ゲートに入力する電位で出力のアノード電位を変化させるNOT素子を論理演算素子として含むことを特徴とする上記(7)に記載の論理演算回路。

(9) NOT素子とNOR素子とからなり、それらのエミッタのカソードを同電位にして論理演算を接続することを特徴とする上記(7)または(8)に記載の論理演算回路。

【0011】

(10) 各素子の出力のアノードを受動素子を介するか、または直接に別の素子のゲートに接続させて論理演算の接続していることを特徴とする上記(7)～(9)のいずれかに記載の論理演算回路。

(11) 隣り合う二つの電界放射型微小電子エミッタが、一方のエミッタのアノードと他のエミッタのゲートとが同一平面となる構造、一方のエミッタのアノードと他のエミッタのカソードとが同一平面となる構造または前記両者の構造を併せ持つ構造を有することを特徴とする上記(7)～(10)のいずれかに記載の論理演算回路。

(12) カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行方向に電子を放出することを特徴とする上記(7)～(11)のいずれかに記載の論理演算回路。

【0012】

(13) 前記素子の基板としてノンドープの半導体基板を用い、各エミッタの突起部分もしくは周辺にのみ導電性のドーピング領域を作って各エミッタを電氣的に分離していることを特徴とする上記(7)～(12)のいずれかに記載の論理演算回路。

(14) 前記素子の絶縁層が4より小さい比誘電率を持つ材料からなることを特徴とする上記(7)～(13)のいずれかに記載の論理演算回路。

(15) 前記素子のカソードがダイヤモンド、もしくはダイヤモンド薄膜を被覆した導電性材料であることを特徴とする上記(7)～(14)のいずれかに記載の論理演算回路。

(16) 前記素子のカソードがカーボンナノチューブ、もしくはカーボンナノチューブを被覆した導電性材料であることを特徴とする上記(7)～(15)のいずれかに記載の論理演算回路。

(17) 前記素子のカソードがBN、AlNもしくはGaN、もしくはそれらの薄膜を被覆した導電性材料であることを特徴とする上記(7)～(16)のいずれかに記載の論理演算回路。

【0013】

【発明の実施の形態】

本発明を実施形態に基づき説明する。

本発明の論理演算回路を構成する論理演算素子であるNOT素子、NOR素子およびNAND素子はSpindt型の電界放射型冷陰極を用いる。

【0014】

まず、本発明の論理演算回路を構成する基本論理素子となる電界放射型微小電子エミッタの構成を図1に基づいて説明する。

図1に示すように、基板上に、カソード、絶縁層、ゲート及びアノード電極を形成して電界放射型微小電子エミッタを形成する。電子エミッタの材質としては、Mo、Wなどの高融点金属やSiなどの他に、カーボンナノチューブや、負性電子親和力を持つダイヤモンドや、BN、AlN、GaN等の窒化物半導体などが用いられる。また、MoやSi等の導電性材料の表面にカーボンナノチューブ、ダイヤモンド、BN、AlN、GaN等の窒化物半導体を被覆したものを用いても良い。これら半導体の導電性の付与の仕方には特に制限はなく、p型不純物、n型純物、あるいは欠陥に起因するn型キャリアなどを用いることができる。絶縁層の材料としてはSiO₂、窒化ケイ素、酸窒化ケイ素、Al₂O₃、CaF₂などが用いられる。ゲート及びアノード電極にはMo、Nb、Taなどの高融点金属やWSi₂などの高融点金属シリサイドなどが用いられる。

【0015】

上記の電界放射型微小電子エミッタを用いてNOT素子を構成するために以下のように配線する。アノードは受動素子または能動素子を介して高電位電源に接続する。本発明における受動素子とは抵抗、キャパシタなどであり、抵抗として

は例えばポリシリコンや窒化タンタルなどを用いることができるが、これらの材料に限定されない。また能動素子にはトランジスタや動作特性の異なる電界放射型微小電子エミッタを配しても良い。カソードは低電位電源もしくはグラウンドに接続する。この際、基板が導電性であって、基板を通してカソードを接続しても良い。また、基板が絶縁性でカソードまで電極を配して接続しても良い。図1は前者の例を示したものである。これらのカソードは単数でも、複数でよい。

【0016】

以上のように構成されたNOT素子の動作について説明する。ゲート電極に電圧信号を入力し、ゲートが高電位るときカソードから電子放出が起こり、アノード電位を低下させる。逆にゲートが低電位ときはカソードから電子放出が起こらず、アノードは高電位となる。このように入力値の否定がアノード電位として出力される。

【0017】

次に本発明のNOR素子を図2に基づいて説明する。

NOR素子は上記NOT素子のエミッタの部分、アノードとカソードを並列につないだ2つ以上のエミッタで置き換えることによって得られる。このとき、片方、もしくは両方の入力用ゲートが高電位るときカソードから電子放出が起こり、出力のアノードは低電位となる。両方の入力用ゲートが低電位るときカソードから電子放出が起こらないため、出力のアノードは高電位となり、NOR素子として機能する。

【0018】

次に本発明のNAND素子を図3～図7に基づいて説明する。

NAND素子は、図3に示すように、上記NOT素子のエミッタ部分を、アノードとカソードとを直列につないだ2つ以上のエミッタで置き換えることによって得られる。このとき、2つのエミッタのカソード間は電氣的に絶縁されている必要がある。また、アノードとカソードとを、第1エミッタと第2エミッタとの間に垂直に形成された柱状電極を用いて直列接続する。この形状の接続電極は表面積の大きい平面上電極と比べて静電容量を減少させて動作をより高速化することができる。

【0019】

絶縁性基板には SiO_2 、 Al_2O_3 、等の基板を用い、その上に Mo 、 W 等の金属や、 Si 、カーボンナノチューブなどのカソードを形成する。また、 Mo 、 W 、 Si 等の導電性材料の表面にカーボンナノチューブ、ダイヤモンド、 BN 、 AlN 、 GaN などの薄膜を形成しても良い。また、図4に示すように、基板をダイヤモンド等のノンドープで大きい抵抗を持つ半導体とし、そのカソードの部分にだけドーピングして電気伝導性を持たせても良い。

【0020】

このNAND素子の動作は、両方の入力用ゲートが高電位するとき、全てのカソードから電子放出が起こり、出力のアノードは低電位となる。片方、もしくは両方の入力用ゲートが低電位するときカソードから電子放出が起こらず、出力のアノードは高電位となり、NAND素子として機能する。

以上のようにして基本論理回路であるNOT素子、NOR素子およびNAND素子を形成することができる。なお、これらの素子を構成するエミッタは単数でも、複数でも良い。図5に複数のエミッタから構成されたNAND素子の例を示す。

【0021】

また、本発明者らが検討を重ねた結果、NAND素子は入力電圧によっては動作に遅延が起こることが分かった。例えば図3に示すものにおいて、入力用ゲートAが高電位であり、入力用ゲートBが低電位するとき、理想的には電子放出が起こらないはずであるが、実際にはAに属するカソードから電子放出が起こり、カソードが帯電して電位が上昇して定常状態になるまで緩和時間が必要になる。したがって、緩和時間を低下させるには静電容量を低下させる必要がある。緩和時間を短縮して高速動作を行うために、本発明者らは特にカソードに接続されているアノードとゲートの間の静電容量を小さくすれば良いことを見出した。

【0022】

一般に平行平板の電極の静電容量 C は $C = \epsilon S / d$ で表される。 ϵ は誘電率、 S は面積、 d は電極間距離である。 d は素子構造上、変化させるのは難しい。また、従来はカソードとゲートの重なり面積 S を小さくして静電容量を下げる例 [

IEEE Trans. Elec.Dev., 38(1991)2368] が見られたが、十分に静電容量を小さくできるとは言えない。そこで図6に示すようにゲートとアノードを基板表面に投影した場合に重なり面積が無い構造にすれば静電容量を小さくし、電荷量を小さくすることができる。

【0023】

また、従来の Spindt 型冷陰極は絶縁層に SiO_2 や Al_2O_3 などが用いられてきたが、それらは比誘電率が4以上であった。しかし、 SiOF や SiOCH 、ポーラス状誘電体や有機ポリマーなど比誘電率が4より小さい材料を絶縁層に用いれば、従来より静電容量が小さくなり、NAND素子を高速に動作させることができる。また、誘電率を極限まで下げるために、電極間には絶縁層の代わりに真空を配置しても良い。

さらに、図7に示すように、第1エミッタのアノードと第2エミッタのカソードとを一体とする構造を取れば、余分な配線による容量が発生しないため、NAND素子を高速に動作させることができる。

【0024】

以上のような方法によりNAND素子を高速に動作させることができるが、NAND素子には必ず動作の遅延が発生する。そこでNAND素子を用いずにNOT素子とNOR素子のみで論理演算回路を構成するようにしても良い。この場合、高速で動作できるという機能の他に、図1、2で見られるようにカソードを全て同電位にすることが可能になる。従って、従来の電子放出素子ではカソードを保持する基板に絶縁性材料を用いる必要があったが、本発明においては金属等の導電性材料を用いることができる。

【0025】

また、ダイヤモンド等の半導体材料をカソード材料にする場合、カソード及び下部の基板全体に一括してドーピングして導電状態にすることができる。従来、このように基板が導電性を持つ場合は、電子ビーム装置など全てのカソードが同じ機能をする大電流用途に用いられてきた。しかし、本発明の構成であれば、基板が導電性を持ちつつ個々のカソードが独立して機能するという、従来にない特徴を有する。

【0026】

論理演算を接続するには、図8や図9に示すように、各電極の位置が合うように電極位置をずらす構造を各エミッタの間に作る。

しかしこの構成では電極の絶縁性を確保するために各エミッタとの位置関係に工夫が必要であったり、電極が近接するため動作遅延の原因となる容量の発生が起こる。そこで、図10の(a)に示すように、接続すべきアノードとゲートとが同一平面になるか、(b)に示すようにアノードとカソードとが同一平面になるように各電極を作製する。このようにすれば、前述の容量が発生しないほか、位置合わせのための電極配線が要らないため、カソードの面密度を増やすことができる。したがって、従来より面密度の高い回路を作製することができる。

【0027】

これらの構造はSpindt型のようにカソードを平面上に多数配置して基板平面に垂直に電子を放出する場合のほか、図11に示すように基板平面に平行に電子を放出する場合でも良い。このようにすればゲート・アノード等の電極を一括して形成することができ、複雑な論理演算回路を作製する工程を簡略化できる。さらにこの構成では絶縁に真空を使えるため、誘電率が小さく、動作遅延を抑えることができる。また、基板にダイヤモンドなどの熱伝導率の高い材料を用いれば、演算の駆動電力で発生する熱のヒートシンクとして機能し、論理演算回路の熱対策となる。

【0028】

【実施例】

以下、実施例に基づいて本発明の実施形態を説明する。なお、これらの実施例は本発明の範囲を制限するものではない。

【0029】

[実施例1]

本実施例では、基本的な構成を有するNOT素子、NOR素子およびNAND素子を作製した。

電子エミッタはSpindt型の冷陰極、基板はSiO₂、カソードはMo、絶縁層はSiO₂、ゲート電極及びアノード電極はMoとした。エミッタ高さは

2 μm 、直径 0.5 μm 、ゲート開口径 0.8 μm 、ゲート電極高さ 0.8 μm 、ゲートとアノードの距離は 0.5 μm とした。各エミッタの間隔は 5 μm であり、エミッタ密度は 4×10^6 本/ cm^2 である。この構造でゲート容量 C_g は 2.2 pF、相互コンダクタンスは 35 mS であった。周波数 10 GHz で動作可能であった。

上記の基本的な構成を用いて図 1～図 3 に示す NOT、NOR、NAND 素子を作製した。NOT と NOR はカソードを接地し、NAND の第 2 エミッタのカソードは第 1 エミッタのアノードと柱状 Mo 電極を介して接続した。柱状 Mo 電極は直径 0.5 μm とした。

【0030】

[実施例 2]

本実施例では、基板として (111) 面を表面に持つ高圧合成の Ib 単結晶からなるダイヤモンド基板を用いた。該ダイヤモンド基板の上にマイクロ波プラズマ CVD 法を用いて水素 200 sccm、メタン 1 sccm、ホスフィン流量を $\text{PH}_3/\text{CH}_4 = 0.1\%$ 、圧力 100 Torr、試料温度 870℃ で膜厚 1 μm のリンドーブダイヤモンドを成膜した。

次にスパッタ法で Al を成膜し、フォトリソプロセスで 1 μm ϕ のドットパターンを作製した。これを RIE 法で酸素を 50 sccm、 CF_4 ガスを 0.5 sccm 流し、圧力 50 mTorr で 1.5 μm エッチングした。高さ 1 μm の突起が形成され、電気伝導する P ドープ部分は突起先端から 0.5 μm までで、各エミッタを電氣的に分離することができた。

次に図 4 に示すように、第 1 エミッタと第 2 エミッタとの間に柱状の Mo 電極を垂直に配置し、該柱状 Mo 電極により第 1 エミッタのアノード電極を第 2 エミッタのカソードのドーピング部分に接続した。これにより電流リーク量が少ない NAND 素子を作製することができた。

また負性電子親和力を有するダイヤモンドにすることで、動作電圧が低下し、消費電力の少ない素子を形成することができた。

【0031】

[実施例 3]

NAND素子は前述の通り入力値によっては緩和時間が必要になる。そこで実施例1のNAND素子において、その電気容量を小さくし、緩和時間を減少させるために、電極パターンを図6で示したものに变えた。ここでは、第1エミッタのアノードとゲート電極とを素子平面に投影したときに重なり面積がないようにした。これによって従来の重なりがある構造と比較して静電容量が1.1 pFに下がり、緩和時間が減少した。

【0032】

〔実施例4〕

実施例1と同様にSiO₂基板の上にMoでカソード・アノード・ゲートを形成し、電極間の絶縁材料にはSiOFを用いてNOT素子、NOR素子およびNAND素子を作製した。このSiOFは比誘電率が3.6であるため、実施例1と同じ素子構成で静電容量を2.0 pFに低減することができた。

【0033】

〔実施例5〕

実施例3、4により動作速度の上昇が可能となったが、第1エミッタから第2エミッタまで通電するため電極と近傍のゲートとの間に容量を発生してしまう。

そこで、極限まで配線を短くするために、実施例3のNAND素子を変形して図7に示すようにアノードとエミッタとを一体にした。これによって、第1のエミッタのゲート・アノード間の容量と、第2エミッタのカソード・ゲート間の容量、および上部と下部の電極をつなぐ柱状電極と周辺電極で発生する容量を同時に低減し、緩和時間を下げることができた。

【0034】

〔実施例6〕

基板として、(100)面を表面に持つ高圧合成のIb単結晶からなるダイヤモンド基板を用いた。このダイヤモンド基板の上にマイクロ波プラズマCVD法を用いて水素100 sccm、メタン6 sccm、ジボランガスをB₂H₆/CH₄=167 ppmの流量とし、圧力40 Torr、試料温度830℃で膜厚10 μmのホウ素ドーパダイヤモンドを成膜した。

この上に、スパッタ法でAlを成膜し、フォトリソプロセスで1 μmφのドッ

トパターンを作製した。これを酸素と CF_4 ガスで $1.5\mu\text{m}$ エッチングし、高さ $1\mu\text{m}$ の突起を形成した。ダイヤモンド基板の側面に電極を取り、カソード全体を接地した。その後、 Mo と SiO_2 でゲート電極、アノード電極および絶縁層を形成し、NOT素子とNOR素子とからなる論理演算回路を形成した。

実施例2で作製したものよりも素子構造が簡易であるため、工程数を削減できた。

同様に、膜厚 $1\mu\text{m}$ のホウ素ドーパダイヤモンドを成膜し、実施例2と同様の工程でNOT素子とHAND素子とからなる論理演算回路を構成した。得られた論理演算回路と先に作製した論理演算回路との演算時間を比較したところ、NOT素子とNOR素子だけを用いた方が合計緩和時間が短かった。

【0035】

[実施例7]

実施例1のNOR素子及びNAND素子を変形して、図10に示したようにエミッタの高さを変え、第1素子の出力アノードが次の素子のゲートもしくはカソードに同一平面で接続できるようにした。このようにすることにより、絶縁性確保のために横方向に絶縁層マージンをとる必要が無く、面積あたりの素子数を増加することができた。

各素子や電極の間に $1\mu\text{m}$ の絶縁層を取るとして、NOT素子を100個つなげた演算回路を作製した。従来構造で作製した場合は面積が $2500\mu\text{m}^2$ 必要だったのに対し、新構造では $900\mu\text{m}^2$ の小面積に削減された。

【0036】

[実施例8]

基板の上に絶縁層の SiO_2 と Mo を成膜した後、フォトリソプロセスとエッチングにより図11に示すようにエミッタ、ゲート、アノードを基板表面から同じ高さになるように形成した。このときの電極パターンとして図の下段に示したようなNOT素子、NOR素子、NAND素子を形成した。

実施例1では絶縁層・ゲート電極・絶縁層・アノード電極の最低4回の成膜プロセスが必要であったが、本実施例の構造では絶縁層と電極の2回の成膜で論理演算回路を形成することができた。

さらに横向きでは各電極の間が真空であっても充分強度を持つため、電極間の静電容量を減少させ、高速動作を行うことができた。

【0037】

【実施例9】

実施例1の構成の論理素子を作製した。さらに触媒としてFeを突起部分に蒸着し、マイクロ波プラズマCVD法を用いて水素100sccm、CH₄を20sccm、圧力を2Torr、基板温度600℃の条件で突起上にカーボンナノチューブを形成した。その後、絶縁層、ゲート・アノード電極を形成、論理演算回路を作製した。得られた論理演算回路は、同じ回路構成を持つMoカソードを用いた論理演算回路よりも低電圧で動作し、演算に要する電力を削減することができた。

【0038】

【実施例10】

表面に実施例1と同じ形状の突起を加工したn型Siを基板に用い、プラズマアシストCVD法でBCl₃、N₂ガスを用いてSi表面にBN薄膜を20nmの膜厚で形成した。その後、絶縁層、ゲート・アノード電極を形成し、論理演算回路を作製した。得られた論理演算回路は、同じ回路構成を持ちBN薄膜をコーティングしていないSiカソードを用いた論理演算回路よりも低電圧で動作し、演算に要する電力を削減することができた。

【発明の効果】

以上詳述したように、本発明の論理演算回路は電子移動度が高速な電解放射型冷陰極を用いた高密度の基本論理素子を用いているため、個々の素子が演算の際に発生させる緩和時間を低減することができると共に消費電力が少なくかつ高速で動作可能なものであり、また、その製造工程も簡便で工程数が少ないため製造コストを低減することができる。

【図面の簡単な説明】

【図1】

電界放射型微小電子エミッタを用いたNOT素子の構成およびその回路を示す図である。

【図 2】

本発明のNOR素子の構成例およびその回路を示す図である。

【図 3】

本発明のNAND素子の構成例およびその回路を示す図である。

【図 4】

本発明のNAND素子の構成例を示す図である。

【図 5】

本発明のNAND素子を複数のエミッタから構成した例およびその回路を示す図である。

【図 6】

本発明のNAND素子であって、アノードとゲートとに重なり面積のないようにした例を示す図である。

【図 7】

本発明のNAND素子であって、アノードとカソードとを一体とした例を示す図である。

【図 8】

本発明のOR演算を行う論理演算回路を示す図である。

【図 9】

本発明のAND演算を行う論理演算回路を示す図である。

【図 10】

本発明の論理演算回路であって、素子同士の異なる電極を同一平面に置いた構造を有する例を示す図である。

【図 11】

本発明の論理演算回路であって、カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行方向に電子を放出するようにした例を示す図である。

【符号の簡単な説明】

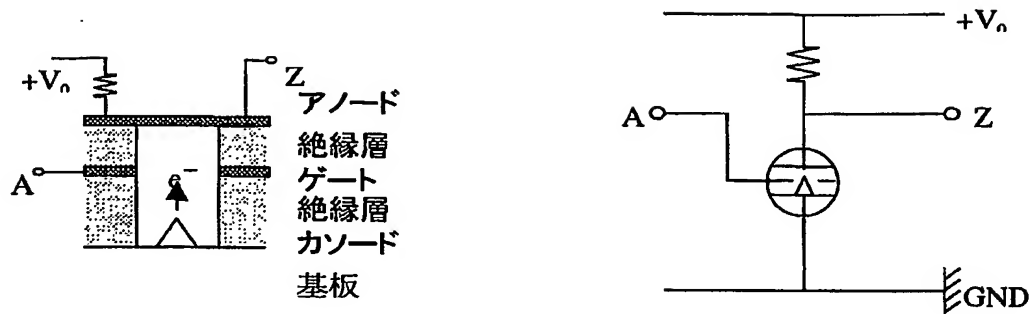
A 入力用ゲート

B 入力用ゲート

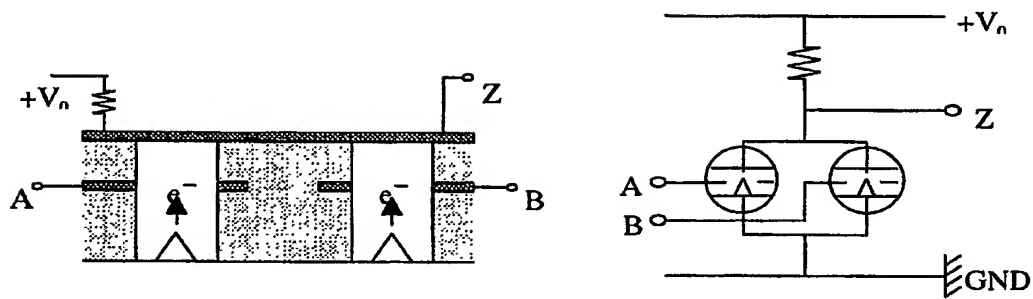
Z 出力用アノード

【書類名】 図面

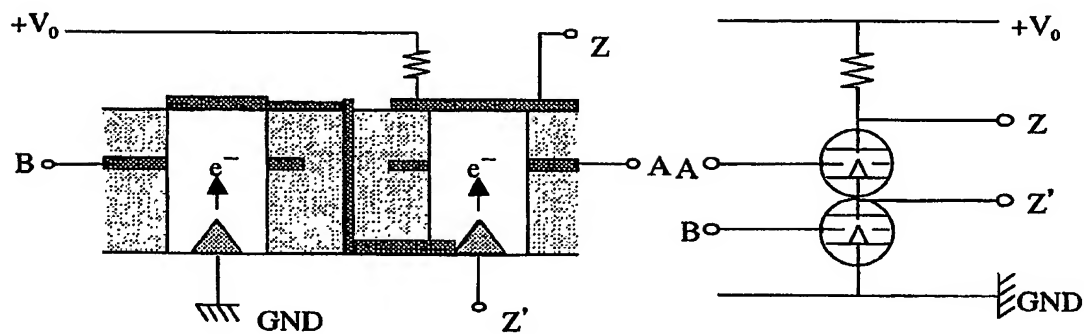
【図 1】



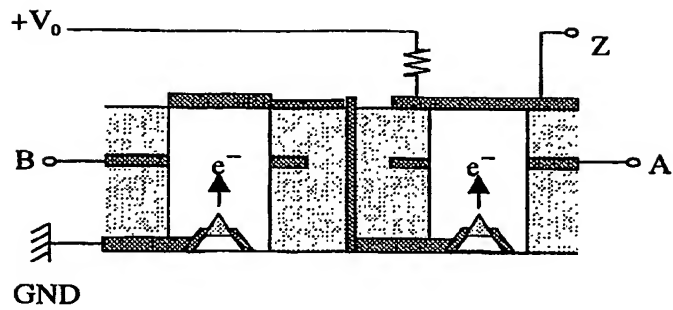
【図 2】



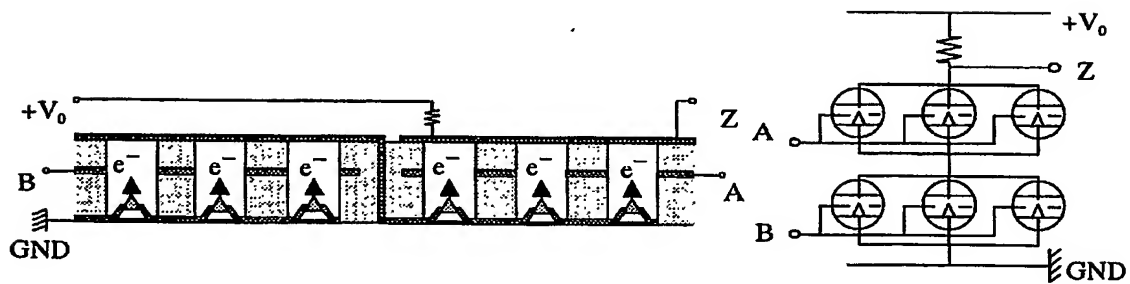
【図 3】



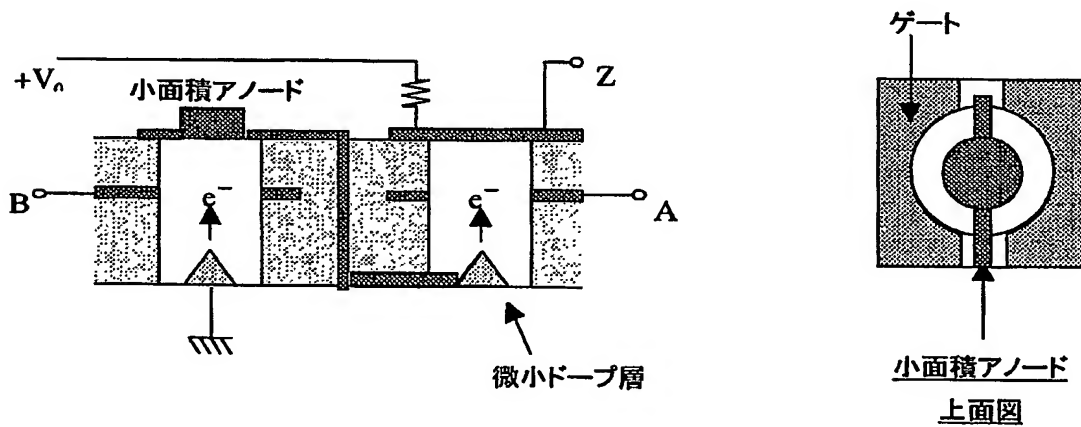
【図 4】



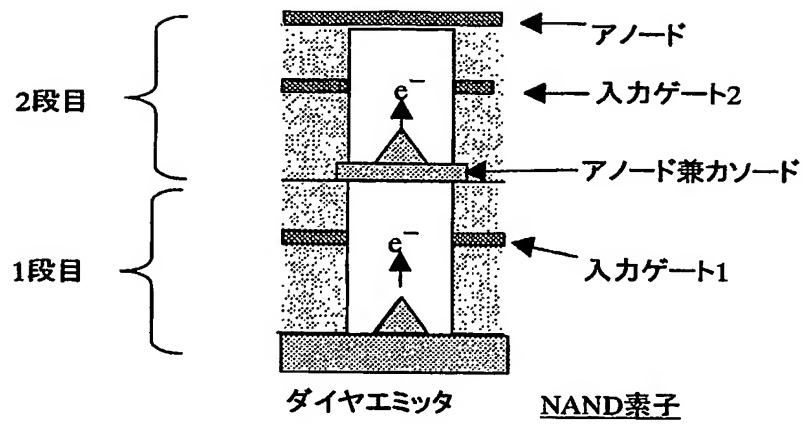
【図 5】



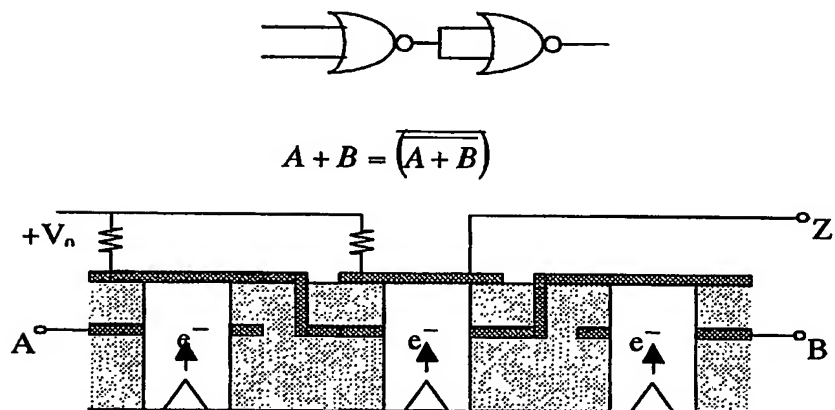
【図 6】



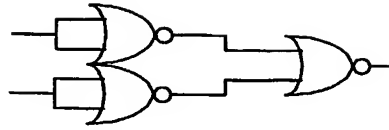
【図 7】



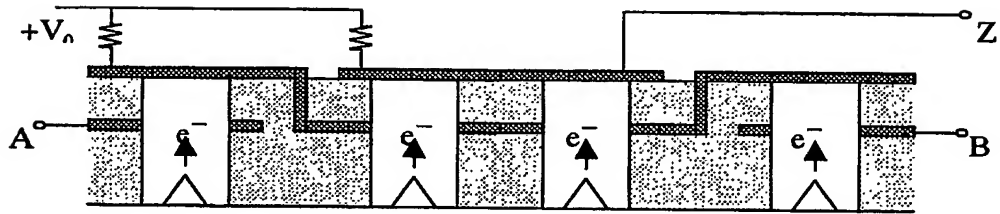
【図 8】



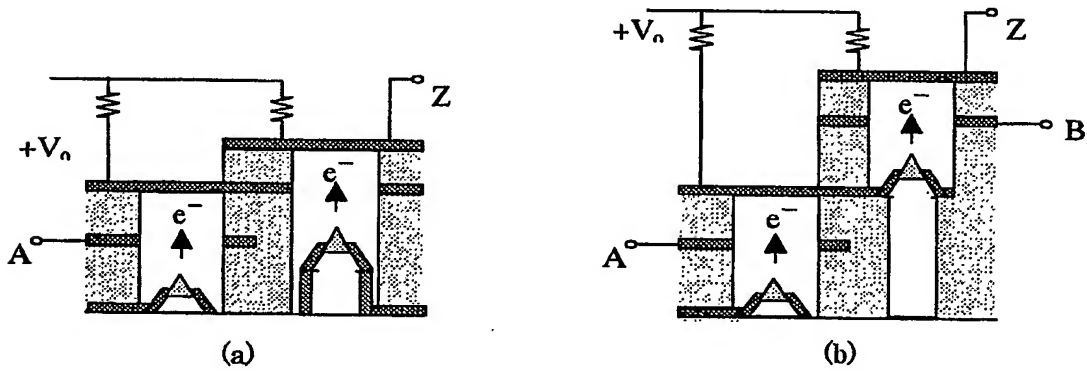
【図 9】



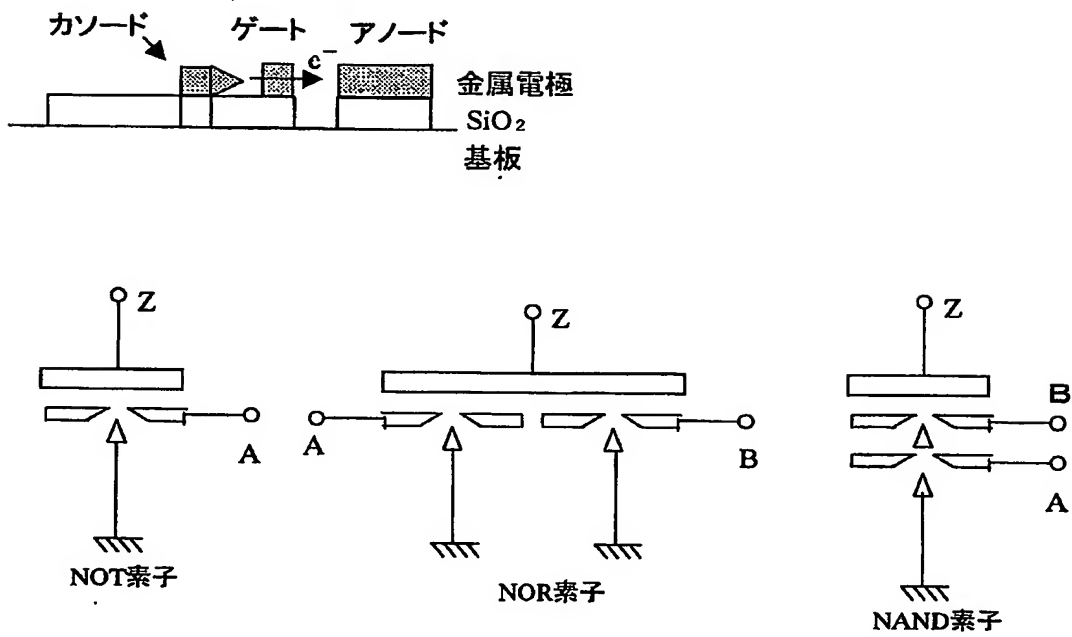
$$A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$$



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 高速で高集積が可能な論理演算素子および論理演算回路を提供すること。

【解決手段】 第1及び第2の電界放射型微小電子エミッタのアノードを同電位とし、該エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させるようにしたNOR素子並びに第1及び第2の電界放射型微小電子エミッタのカソードを直列接続し、第1及び第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させるNAND素子。

【選択図】 なし

認定・付加情報

特許出願の番号	特願 2003-061993
受付番号	50300377098
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 3月10日

< 認定情報・付加情報 >

【提出日】 平成15年 3月 7日

次頁無

出 願 人 履 歴 情 報

識別番号

[000002130]

1. 変更年月日
[変更理由]

1990年 8月29日

新規登録

住 所
氏 名

大阪府大阪市中央区北浜四丁目5番33号
住友電気工業株式会社